

29feb00 12:38:43 User238451 Session D1605.2

Sub account: P000365

\$0.00 0.047 DialUnits FileHomeBase  
\$0.00 Estimated cost FileHomeBase  
\$0.05 TYMNET  
\$0.05 Estimated cost this search  
\$0.09 Estimated total session cost 0.149 DialUnits

File 351:DERWENT WPI 1963-2000/UD=, UM=, & UP=200010

(c) 2000 Derwent Info Ltd

\*File 351: Display format changes coming in February. Try them out now in ONTAP File 280. See HELP NEWS 280 for details.

Set Items Description

?s pn=ep 217232

S1 1 PN=EP,217232

?t s1/5

1/5/1

DIALOG(R) File 351:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

007095290

WPI Acc No: 87-095287/198714

XRPX Acc No: N87-071609

Splitting address generation circuit for data memory - uses splitting address generators for addition or subtraction of splitting section parameters and old address

Patent Assignee: SIEMENS AG (SIEI )

Inventor: FEISSEL W; NUSSBACHER H K

Number of Countries: 010 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 217232	A	19870408	EP 86112869	A	19860917		198714 B
EP 217232	B	19900228					199009
DE 3669213	G	19900405					199015

Priority Applications (No Type Date): DE 3534889 A 19850930

Cited Patents: 1.Jnl.Ref; EP 32136; FR 2144308; US 3602896; US 4130880

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
--------	------	-----	----	--------------	-------------	--------

EP 217232	A	G	8			
-----------	---	---	---	--	--	--

Designated States (Regional): AT BE CH DE FR GB IT LI NL SE

EP 217232	B	G				
-----------	---	---	--	--	--	--

Designated States (Regional): AT BE CH DE FR GB IT LI NL SE

Abstract (Basic): EP 217232 A

The circuit has a respective splitting address generator (SAE1...SAE8) for each section of each line of a data block. Each splitting address generator (SAE1...SAE8) has an input (E1) for a given number of bits of the old address and further inputs (E2) for different splitting section parameters (SSP).

The splitting section parameters (SSP) and the old address are added or subtracted for data directed to the left or right respectively. Each splitting address generator (SAE1...SAE8) pref. comprises adding/subtraction circuits preceded by a decision transfer

USE - For rapid access in data processor memory.

4/4

Title Terms: SPLIT; ADDRESS; GENERATE; CIRCUIT; DATA; MEMORY; SPLIT;  
ADDRESS; GENERATOR; ADD; SUBTRACT; SPLIT; SECTION; PARAMETER; ADDRESS

Derwent Class: T01

International Patent Class (Additional): G06F-012/04

File Segment: EPI

?logoff

29feb00 12:39:03 User238451 Session D1605.3

Sub account: P000365

\$3.59 0.163 DialUnits File351

\$3.76 1 Type(s) in Format 5

\$3.76 1 Types

\$7.35 Estimated cost File351

\$0.19 TYMNET

\$7.54 Estimated cost this search

\$7.63 Estimated total session cost 0.312 DialUnits



Europäisches Patentamt  
European Patent Office  
Office européen des brevets

Veröffentlichungsnummer:

0 217 232  
A1

12

# EUROPÄISCHE PATENTANMELDUNG

Anmeldenummer: 86112869.2

Int. Cl.<sup>4</sup>: G06F 12/04 , G06F 12/08

Anmeldetag: 17.09.86

Priorität: 30.09.85 DE 3534889

Veröffentlichungstag der Anmeldung:  
08.04.87 Patentblatt 87/15

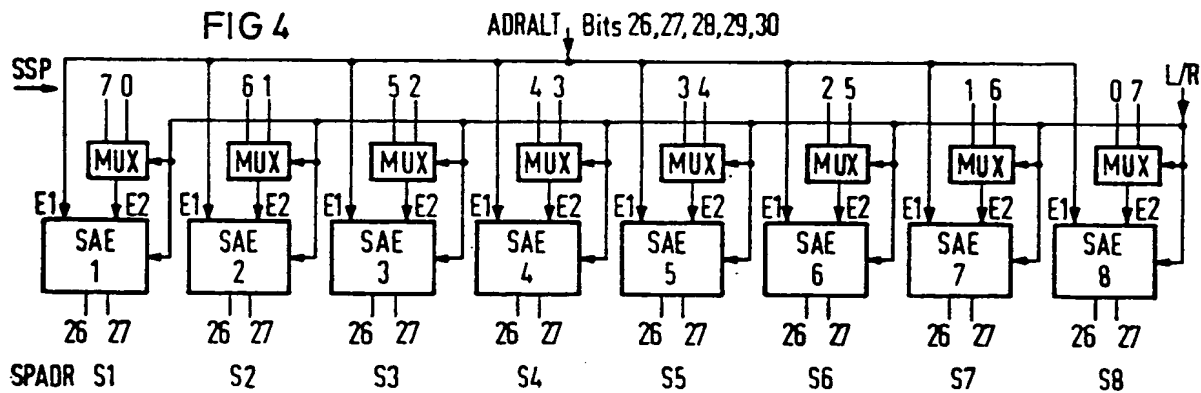
Benannte Vertragsstaaten:  
AT BE CH DE FR GB IT LI NL SE

Anmelder: Siemens Aktiengesellschaft Berlin  
und München  
Wittelsbacherplatz 2  
D-8000 München 2(DE)

Erfinder: Feissel, Wolfgang, Dipl.-Phys.  
Gräffelfingerstrasse 24  
D-8000 München(DE)  
Erfinder: Nussbächer, Hans Klaus, Dipl.-Ing.  
Strassbergerstrasse 12  
D-8000 München 40(DE)

Schaltungsanordnung zur Generierung von Splitting-Adressen.

Ausgehend von einem Datenblock mit  $2^m$  Zeilen, unterteilt in je  $2^n$  Sektionen, ist für jede der  $2^n$  Sektionen je eine Splitting-Adressengenerierungseinrichtung SAE1...SAE8 vorgesehen, die jeweils erste Eingänge E1 für  $z = m + n$  Bits der alten Adresse ADRLT und zweite Eingänge E2 für  $n$  Bits unterschiedlicher Splitting-Sektionsparameter SSP besitzen. Die jeweiligen Splitting-Sektionsparameter SSP betragen für die Sektionen S1...Sn bei links bzw. rechts ausgerichteten Daten  $2^n - 1, 2^n - 2, \dots, 1, 0$  bzw.  $0, 1, \dots, 2^n - 2, 2^n - 1$ . Die Splitting-Adressengenerierungseinrichtungen SAE1...SAE8 arbeiten in der Weise, daß bei links ausgerichteten Daten eine Addition und bei rechts ausgerichteten Daten eine Subtraktion der Splitting-Sektionsparameter SSP zur bzw. von der alten Adresse ADRLT erfolgt.



### Schaltungsanordnung zur Generierung von Splitting-Adressen

Die Erfindung betrifft eine Schaltungsanordnung zur Generierung von Splitting-Adressen nach dem Oberbegriff des Patentanspruchs 1.

In Zentraleinheiten großer Datenverarbeitungsanlagen stellen die Cache-Speicher eine wesentliche Funktionseinheit zur Beschleunigung der Speicherzugriffe der Zentralprozessoren dar. Geschwindigkeitsunterstützenden Maßnahmen innerhalb des Cache-Speichers kommt deshalb eine große Bedeutung zu.

Eine den Maschinenzklus wesentlich beeinflussende Größe stellt der Lesezyklus im Cache dar. Zur Minimierung der für einen Lesezyklus erforderlichen Laufzeit kommen deshalb neben dem Einsatz möglichst schneller Speicherbausteine auch Schaltungskomplexe in Betracht, die zum Beispiel der Adressierung dieser Bausteine oder der LeseDatenverarbeitung dienen.

Ein Cache kann bekanntlich in ein oder mehrere Datenbänke gegliedert sein, die aus Speicherbausteinen, zum Beispiel RAM-Bausteinen gleicher Größe zusammengesetzt sind. Die maximale Leseausbeute wird dabei durch die Breite einer Datenbank bestimmt, die zum Beispiel 16 Byte = zwei Doppelworte beträgt. Diese maximale Leseausbeute ist dann erreichbar, wenn der Adressenzeiger auf das erste Byte innerhalb einer Zeile, das heißt auf den Zeilenanfang zeigt.

Findet dagegen ein Zugriff zu einer Datenbank an einer von der Datenzeilengrenze abweichenden Adresse innerhalb einer Datenzeile statt, so entsprechen die gültigen Daten, zum Beispiel bei Linksausrichtung, nur denjenigen, die in konsekutiver aufsteigender Folge zwischen dem Adressenzeiger und der Zeilengrenze liegen. Bei einem Zugriff werden deshalb im Vergleich zur Datenmenge einer vollen Speicherzeile entsprechend weniger Daten erfaßt. Da aber die Anzahl der Zugriffe zu den Datenbänken einen unmittelbaren Einfluß auf die Maschinenleistung hat, ist man bestrebt, diese Zugriff auf ein notwendiges Mindestmaß zu beschränken.

Das sogenannte Splitting-Verfahren bietet nun die Möglichkeit, mit einem Zugriff zur Datenbank, Daten entsprechend der Gesamtbreite einer Cache-Zeile auch dann auszulesen, wenn die Daten in zwei konsekutiven Zeilen liegen. Ein Beispiel für einen gleichzeitigen Zugriff auf zwei aufeinanderfolgenden Zeilen ist in FIG 1 dargestellt. Bei diesem Beispiel ist eine zwei Doppelworte = 16 Byte breite Datenbank DB in zwei Hälften unterteilt, so daß eine Adressierung an der Doppelwortgrenze möglich ist. Erfolgt nun eine Adressierung innerhalb des zweiten Doppelwortes, so wird -bei links ausgerichteten Daten -zum einen das adressierte

Doppelwort in der Zeile j angesprochen und zum anderen gleichzeitig die Adresse für das folgende Doppelwort in der Zeile j + 1 zur Verfügung gestellt. Die mit einem einzigen Zugriff ausgelesenen Daten, die in der Zeichnung durch Schraffur gekennzeichnet sind, werden nun in ein Eingangsregister REG einer nachfolgenden Funktionseinheit, zum Beispiel Byteausrichter, übernommen.

Im Falle einer Zweiteilung einer Datenbank ist die Generierung der Splitting-Adressen noch relativ einfach. Die entsprechende Hardware-Realisierung besteht zum Beispiel aus einer kombinatorischen Logik und ist insgesamt noch gut überschaubar. Wird jedoch die Datenbankunterteilung erhöht, zum Beispiel von zwei auf acht Sektionen für Lesen an Halbwortgrenze, so führt das bisher gebräuchliche Verfahren -in kombinatorischer Logik realisiert - zu einer unübersichtlichen und für jede der acht Sektionen völlig unterschiedlichen Schaltungsanordnung mit entsprechend hohen Laufzeiten.

Der vorliegenden Erfindung liegt deshalb die Aufgabe zugrunde, eine Schaltung zur Generierung von Splitting-Adressen anzugeben, die auch bei einer feineren Unterteilung der Datenbänke mit der Möglichkeit der Adressierung an der Wort-, Halbwort- oder Bytegrenze einen einfachen Aufbau mit dementsprechend kurzen Laufzeiten ermöglicht.

Die Lösung dieser Aufgabe ergibt sich erfindungsgemäß durch die kennzeichnenden Merkmale des Patentanspruchs 1. Der Vorteil dieser Schaltung besteht darin, daß sich der für jede Sektion erforderliche Aufwand auf eine einfache Addition bzw. Subtraktion zweier Binärwerte reduziert.

Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Im folgenden wird ein Ausführungsbeispiel der Erfindung anhand der Zeichnung näher erläutert. Dabei zeigen

FIG 2 einen Ausschnitt aus einer zwei doppelwort-breiten Speicherbank mit einem Datenblock, dessen links ausgerichtete Daten an der Halbwortgrenze adressiert sind,

FIG 3 die Speicherbank gemäß FIG 1 mit einem Datenblock für rechts ausgerichtete Speicherdaten, die ebenfalls an der Halbwortgrenze adressiert sind,

FIG 4 eine Schaltungsanordnung gemäß der Erfindung zur Generierung von Splittingadressen.

Bei dem nachfolgend beschriebenen Ausführungsbeispiel wird von einem 2K Byte-Cache ausgegangen, bestehend aus zwei 2RAM-Speichern zu je 1 K x 4 Bit, das heißt einer Tiefe von 1 KByte und einer Breite von 4 Bit. Wegen der

geforderten Tiefe von 2 KByte werden 2 RAM-Bausteine übereinander gestellt, wobei jeweils einer der korrespondierenden Ausgänge durchgeschaltet wird. Zur Adressierung dieses 2KByte großen Speichers sind insgesamt 11 Adreßbits erforderlich. Ausgehend von einer 32Bit-Adresse sind dies die Bits 17 bis 27, wobei mit den Bits 17 bis 25 ein 64Byte großer Datenblock mit vier Zeilen zu je 16 Byte = zwei Doppelworte adressiert wird. Für die Zeilenadressierung eines Datenblockes sind dann weitere zwei Bits, nämlich die Bits 26 und 27 erforderlich. Diese Zeilenadreßbits spielen bei der Generierung der Splittingadressen eine entscheidende Rolle. Innerhalb einer Zeile werden für die Adressierung an der Doppelwort-Wort-, Halbwort- und Byte-Grenze zusätzlich noch die Bits 28, 29, 30 und 31 benötigt. Im Beispiel nach FIG 2

ist eine Adressierung an der Halbwortgrenze vorgesehen, so daß hier das Adreßbit 31 praktisch keine Rolle spielt. Allgemein werden für eine in  $2^n$  Sektionen unterteilte Speicherzeile  $n$  Bits und für einen aus  $2^m$  Zeilen bestehenden Datenblock insgesamt  $z = m + n$  Adreßbits benötigt. Bei einem Datenblock mit 64 Byte, aufgeteilt in  $4 = 2^2 = 2^m$  Zeilen und  $8 = 2^3$  Sektionen sind dies insgesamt  $z = 2 + 3 = 5$  Bitstellen, nämlich die Bitstellen 26 bis 30.

Für einen Datenblock mit linksbündiger Adressierung sind in der nachstehenden Tabelle I für insgesamt 32 mögliche Adressen die Adressenbits der alten Adresse ADRLT und die für jede Sektion innerhalb einer Speicherzeile in Betracht kommenden Splitting-Adressenbits, das heißt die  $m = 2$  Zeilenadreßbits 26, 27 angegeben.

20

TABELLE I

ADRLT	Splitting-Adressenbits für Sektion Si						
	S1	S2	S3	S4	S5	....	S8
	27 26	27 26	27 26	27 26	27 26		27 26
0 0 0 0 0	0 0	0 0	0 0	0 0	0 0		0 0
0 0 0 0 1	0 1	0 0	0 0	0 0	0 0		0 0
0 0 0 1 0	0 1	0 1	0 0	0 0	0 0		0 0
0 0 0 1 1	0 1	0 1	0 1	0 0	0 0		0 0
0 0 1 0 0	0 1	0 1	0 1	0 1	0 0		0 0
.							
.							
.							
1 0 1 1 1	1 1	1 1	1 1	1 1	1 1		1 0
1 1 0 0 0	1 1	1 1	1 1	1 1	1 1		1 1
1 1 0 0 1	x x	1 1	1 1	1 1	1 1		1 1
1 1 0 1 0	x x	x x	1 1	1 1	1 1		1 1
1 1 0 1 1	x x	x x	x x	1 1	1 1		1 1
1 1 1 0 0	x x	x x	x x	x x	1 1		1 1
1 1 1 0 1	x x	x x	x x	x x	x x		1 1
1 1 1 1 0	x x	x x	x x	x x	x x		1 1
1 1 1 1 1	x x	x x	x x	x x	x x		1 1

In dieser Tabelle I ist die für das Beispiel gemäß FIG 2 maßgebliche alte Adresse ADRALT  $\Delta$  000010 durch eine Umrandung besonders markiert, wobei die für eine Byte-Adressierung erforderliche Bitstelle 31 wegen der im vorliegenden Fall vorgesehenen Adressierung an der Halbwortgrenze wegfallen kann. Neben der alten Adresse ADRALT, die auf den Sektor S3 in Zeile j zeigt, - (siehe den Adressenzeiger AZ), sind die für jede Sektion S1...S8 maßgeblichen Splitting-Adressenbits SPADR S1.26 u.27...SPADR S8.26 u.27 angegeben. Dabei zeigt sich, daß die Splitting-Adressenbits SPADR für die Sektionen S3...S8 in Zeile j mit den Zeilenadressenbits 26, 27  $\Delta$  00 der alten Adresse ADRALT  $\Delta$  000010 übereinstimmen, während bei den Sektionen S1 und S2 eine um den Binärwert "1" erhöhte Zeilenadresse für die nächsthöhere Zeile j + 1 in Form der Splitting-Adressenbits SPADR  $\Delta$  01 angegeben wird.

5

10

15

20

25

30

35

40

45

50

55

4

In FIG 3 und der zugehörigen Tabelle II sind die Verhältnisse für einen Datenblock mit rechtsbündiger Adressierung in analoger Weise dargestellt. Aufgrund der Adressierung in Sektion S3 wird in der Zeile j + 1 auf die Daten der Sektion S3, S2, S1 und in der Zeile j auf die Daten der Sektionen S8, S7, S6, S5 und S4 zugegriffen. In der nachfolgenden Tabelle II ist die für das Beispiel gemäß FIG 3 maßgebliche alte Adresse ADRALT  $\Delta$  01010 durch eine Umrandung besonders markiert. Aus den neben der alten Adresse ADRALT  $\Delta$  01010 stehenden Splitting-Adressen ergibt sich demzufolge, daß die Splitting-Adressenbits SPADR für die Sektionen S1, S2 und S3 (Zeile j + 1) mit den Zeilenadressenbits 26, 27  $\Delta$  01 übereinstimmen, während bei den Sektionen S4, S5, S6, S7, S8, eine um den Binärwert "1" verminderte Zeilenadresse für die nächst niedrigere Zeile j in Form des Splitting-Adressenbits SPADR  $\Delta$  00 angegeben wird.

TABELLE II

ADRALT					Splitting-Adressenbits für Sektion Si						
					S1	S2	S3	S4	S5	....	S8
27	29				27	27	27	27	27		27
26	28	30				26	26	26	26	26	26
0	0	0	0	0	0	0	x	x	x	x	x
0	0	0	0	1	0	0	0	0	x	x	x
0	0	0	1	0	0	0	0	0	x	x	x
0	0	0	1	1	0	0	0	0	0	0	x
0	0	1	0	0	0	0	0	0	0	0	x
0	0	1	0	1	0	0	0	0	0	0	x
0	0	1	1	0	0	0	0	0	0	0	x
0	0	1	1	1	0	0	0	0	0	0	0
0	1	0	0	0	0	1	0	0	0	0	0
0	1	0	0	1	0	1	0	1	0	0	0
0	1	0	1	0	0	1	0	1	0	0	0
0	1	0	1	1	0	1	0	1	0	0	0
0	1	1	0	0	0	1	0	1	0	1	0
.											
.											
.											
1	1	1	1	0	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1	1	1

Die mit x bezeichneten Ergebnisse in Tab I bzw. II der Splittingadressen-Generierungseinrichtungen sind irrelevant und haben den Wert 0 bzw. 1.

Eine Schaltungsanordnung zur Generierung der Splitting-Adressenbits SPADR ist in FIG 4 dargestellt. Sie besteht aus  $2^n$ , z.B.  $2^3 = 8$  Splitting-Adressengenerierungseinrichtungen SAE1...SAE8, die jeweils einer von insgesamt  $2^n$  Sektionen, das heißt jeweils einer von insgesamt 8 Sektionen S1...S8 zugeordnet sind. Jede Splitting-Adressengenerierungseinrichtung SAE1...SAE8 weist erste Eingänge E1 und zweite Eingänge E2 auf. Die ersten Eingänge E1 aller Splitting-Adressen Generierungseinrichtungen SAE1...SAE8 sind für die  $z = m + n$  Adressenbits der alten Adresse ADRALT bestimmt, während die jeweils zweiten Eingänge E2 für jeweils n Bits unterschiedlicher Splitting-

40

Sektionsparameter SSP vorgesehen sind. Diese Splitting-Sektionsparameter SSP sind für links- und rechtsausgerichtete Speicherdaten unterschiedlich. Für links ausgerichtete Speicherdaten hat der Splitting-Sektionsparameter SSP für die Sektion 1 den Wert  $2^n - 1$  und erreicht bei jeweils stufenweiser Reduzierung um den Binärwert "1" in den folgenden Sektionen schließlich in der  $2^n$ -ten Sektion den Wert "0". Im gezeigten Beispiel mit  $2^3 = 8$  Sektionen haben die n Bits des Splitting-Sektionsparameters SP für die Sektion S1 den Wert 111  $\rightarrow 7$ , für die Sektion S2 den Wert 110  $\rightarrow 6$  usw. und schließlich für die Sektion S8 den Wert 000  $\rightarrow 0$ . Für rechts ausgerichtete Speicherdaten gelten die gleichen Splitting-Sektionsparameter SSP in umgekehrter Reihenfolge. Die für links-bzw. rechts ausgerichtete Speicherdaten jeweils spezifische Zuschaltung der entsprechenden Splitting-Sektion-

45

50

55

sparameter an die einzelnen Splitting-Adressengenerierungseinrichtungen SAE1...SAE8 erfolgt über Wechselschalter, vorzugsweise Multiplexer MUX, deren Steuersignal L/R die Betriebsart der nachfolgenden Splitting-Adressengenerierungseinrichtungen SAE1...SAE8 in der Weise steuern, daß bei links ausgerichteten Speicherdaten eine Addition und bei rechts ausgerichteten Speicherdaten eine Subtraktion der Splitting-Sektionsparameter SSP zur bzw. von der alten Adresse ADRLT erfolgt. Unter Bezugnahme auf FIG 2 und Tabelle I ergibt sich zum Beispiel bei der alten Adresse ADRLT = 00010 für die Sektionen S2 und S3 folgende Rechnung:

$$S2: ADRLT \underline{00010} + SSP \ 110 = SPADR \underline{01000}$$

$$S3: ADRLT \underline{00010} + SSP \ 101 = SPADR \underline{00111}$$

Während in der Sektion S3 Zeilen- und Splittingadressenbits identisch sind, ergibt sich für die Sektion S2 eine Änderung der Splitting-Adressenbits 26, 27 gegenüber den Zeilenadressenbits 26, 27 der alten Adresse ADRLT, weil die zugehörigen Daten bereits in der nächsten Zeile sind.

Als Splitting-Adressengenerierungseinrichtungen werden vorzugsweise Addier-/Subtrahierwerke verwendet, wobei insbesondere schnelle Verknüpfungsnetzwerke mit einer vorausschauenden Übertrag-Entscheidungslogik in Betracht kommen. Am Ausgang der einzelnen Addier-/Subtrahierwerke liegen die jeweils sektionsspezifischen Splitting-Adressenbits SPADR an, die in Abhängigkeit von der alten Adresse zum Teil den ursprünglichen Zeilenadressbits 26, 27 entsprechen zum Teil aber in obengenannter Weise modifiziert werden. Die Beziehungen zwischen alter Adresse ADRLT und den für die einzelnen Sektionen maßgeblichen Splitting-Adressenbits SPADR sind den Tabellen I und II entnehmbar. Die Schaltungsanordnung nach FIG 4 hat insbesondere folgende Merkmale:

-Laufzeitsparende Logikanordnung durch Parallelverarbeitung;

-Symmetrische Aufbauweise und Gleichartigkeit der Schaltungen für jede Sektion;

-Keine Rückkopplungen zwischen den einzelnen Sektionen zugeordneten Schaltungskomplexen;

-Die Anzahl der Sektionen innerhalb einer Daten-

bank ist nicht auf das beschriebene Beispiel beschränkt. Sie kann kleiner (4,2) und größer (16, 32,...) sein, wobei die vorstehenden Vorteile unverändert erhalten bleiben.

## Ansprüche

1. Schaltungsanordnung zur Generierung von Splittingadressen für einen aus einer oder mehreren Banken bestehenden Speicher, bei dem einzelne Datenblöcke in jeweils  $2^m$  aufeinanderfolgenden Zeilen abspeicherbar sind, wobei jede Zeile in  $2^n$  Sektionen unterteilbar ist und eine Adressierung innerhalb eines Datenblocks für einen der Breite einer Bank bzw. der Länge einer vollen Zeile entsprechenden Speicherraum an irgendeiner beliebigen Sektion möglich ist, so daß bei Überschreitung der Zeilengrenze gleichzeitig auf Speicherräume in konsekutiven Zeilen zugegriffen wird, **dadurch gekennzeichnet**, daß für jede der  $2^n$  Sektionen je eine Splitting-Adressengenerierungseinrichtung - (SAE1...SAE8) mit jeweils ersten Eingängen (E1) für  $z = m + n$  Bits der alten Adresse (ADRLT) und jeweils zweiten Eingängen (E2) für jeweils  $n$  Bits unterschiedlicher Splitting-Sektionsparameter - (SSP) vorgesehen ist, daß die Splitting-Sektionsparameter (SSP) für links bzw. rechts ausgerichtete Speicherdaten, beginnend mit der ersten Sektion, den Binärwert  $2^{n-1}$  bzw. 0 und in den folgenden Sektionen bei stufenweiser Änderung um den Binärwert "1" nach unten bzw. oben in der  $2^n$ -ten Sektion den Binärwert "0" bzw.  $2^n - 1$  aufweisen, daß die für links bzw. rechts ausgerichtete Speicherdaten jeweils spezifische Zuschaltung der entsprechenden Splitting-Sektionsparameter (SSP) an die jeweiligen Splitting-Adressengenerierungseinrichtung (SAE1...SAE8) über Wechselschalter erfolgt, deren Steuersignal die Betriebsart der nachfolgenden Splitting-Adressengenerierungseinrichtungen in der Weise steuern, daß bei links ausgerichteten Speicherdaten eine Addition und bei rechts ausgerichteten Speicherdaten eine Subtraktion der Splitting-Sektionsparameter zur bzw. von der alten Adresse (ADRLT) erfolgt.

2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß die Wechselschalter als Multiplexer (MUX) ausgebildet sind.

3. Schaltungsanordnung nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß die Splitting-Adressengenerierungseinrichtungen (SAE1...SAE8) aus Addier-/Subtrahiereinrichtungen mit einer vorausschauenden Übertrags-Entscheidungslogik bestehen.



FIG 1

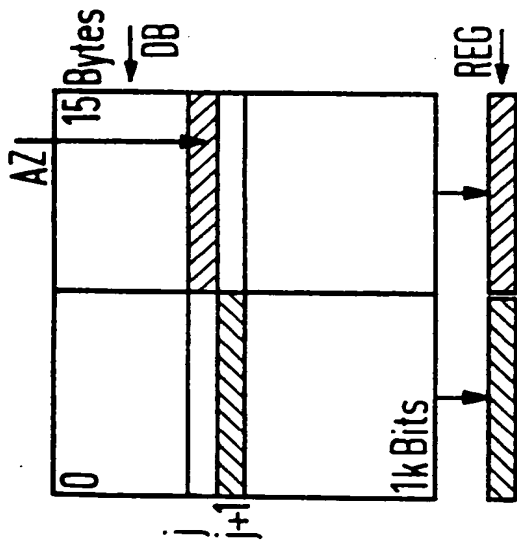


FIG 2

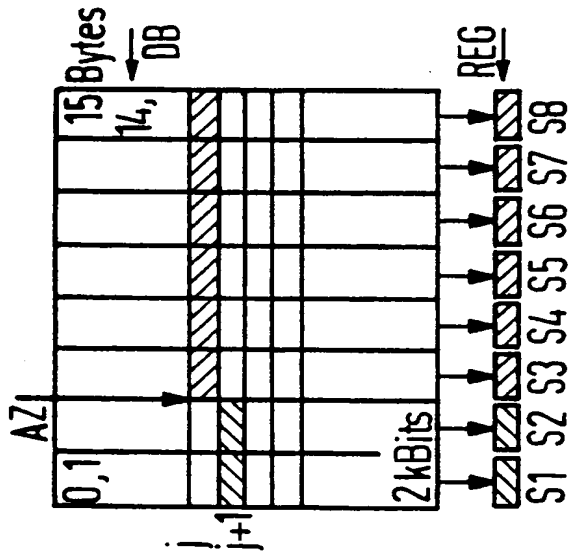


FIG 3

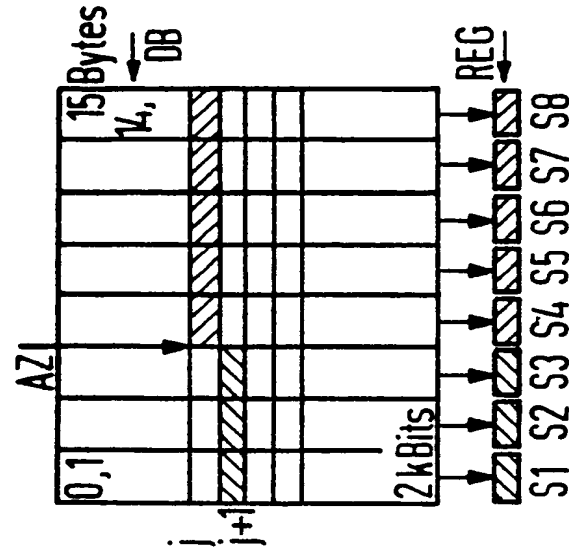
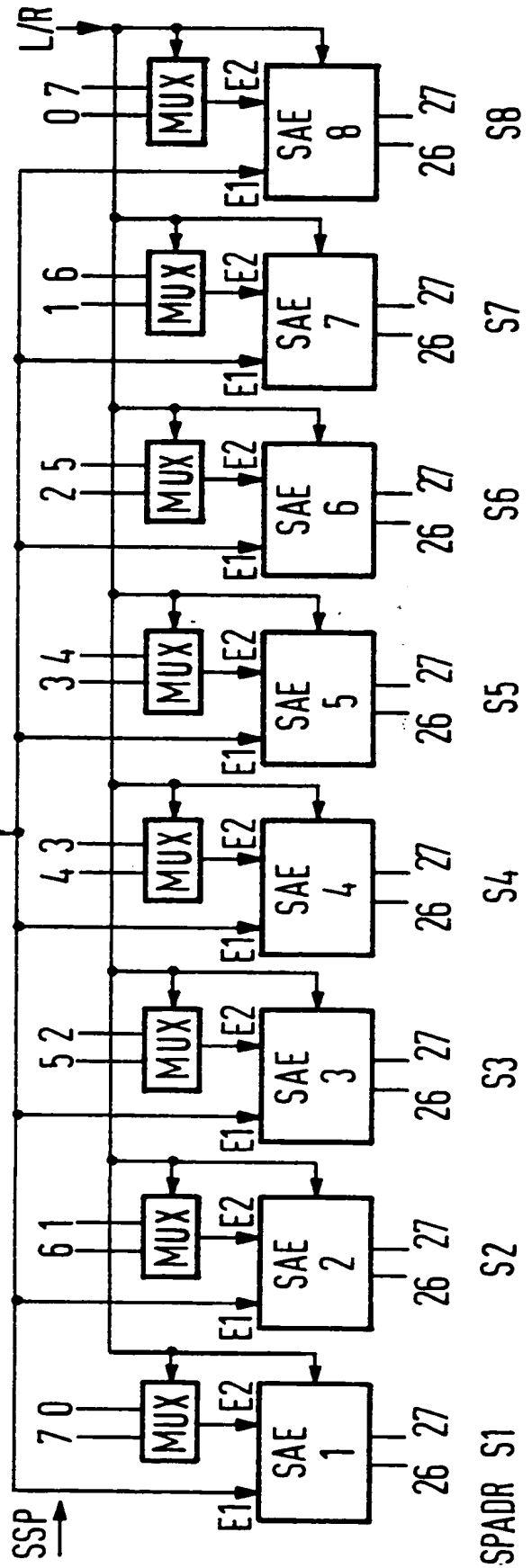


FIG 4





EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4)
A	US-A-4 130 880 (NUTTER) * Spalte 3, Zeilen 7-63; Figuren 1,3 *	1-3	G 06 F 12/04 G 06 F 12/08
A	FR-A-2 144 308 (BURROUGHS) * Seite 6, Zeile 18 - Seite 16, Zeile 5; Seite 25, Zeile 16 - Seite 26, Zeile 25; Figuren 1,2,8 *	1-3	
A	US-A-3 602 896 (ZEHEB) * Spalte 2, Zeilen 1-40; Spalte 10, Zeile 59 - Spalte 11, Zeile 5; Figuren 1,2 *	1-3	
A	EP-A-0 032 136 (JOHNSON et al.) * Seite 1, Zeile 30 - Seite 2, Zeile 35; Seite 27, Zeile 12 - Seite 28, Zeile 18; Figur 6 *	1-3	
A	IBM TECHNICAL DISCLOSURE BULLETIN, Band 25, Nr. 7A, Dezember 1982, Seiten 3539-3542, New York, US; A.Y. NGAI et al.: "Boundary crossing within a cache line" * Seite 3541 *	1-3	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 05-11-1986	Prüfer LECOMTE J.M.
<b>KATEGORIE DER GENANNTEN DOKUMENTE</b> X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : nichtschriftliche Offenbarung P : Zwischenliteratur T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument			